

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02287874 A**(43) Date of publication of application: **27.11.80**

(51) Int. Cl.

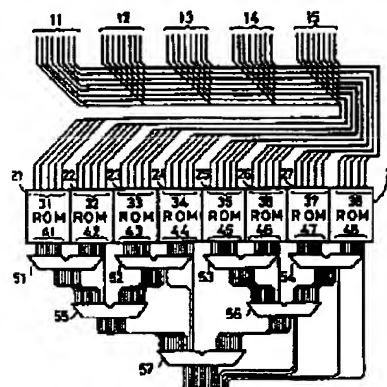
**G06F 15/31**  
**H03H 17/02**
(21) Application number: **01110522**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **28.04.80**(72) Inventor: **HATANAKA NAOYUKI**(54) **PRODUCT SUM ARITHMETIC UNIT**

COPYRIGHT: (C)1990,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To reduce the hardware for a sum of products operation by forming N pieces of signals consisting of M bits from M pieces of input signals consisting of N bits, inputting these N pieces of signals to address terminals of N pieces of ROMs, bringing output signals from data terminals of the ROMs to digit shift and adding them together.

**CONSTITUTION:** For instance, five pieces ( $M = 5$ ) of input signals 11, -, 15 brought to numerical expression by eight bits ( $N = 8$ ) are divided into eight pieces at every bit, five pieces of divided signals are collected in a lump, and eight pieces of signals consisting of five bits are formed newly. These eight pieces of signals are inputted to address terminals 31, -, 38 of eight pieces of ROMs 21, -, 28, respectively, and by adding together output signals from its data terminals 41, -, 48 by adders 51, -, 57, a final result of sum of products operation is obtained. In such a way, a scale of the hardware for the sum of products operation can be made small.



## ⑫ 公開特許公報(A) 平2-287874

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)11月27日

G 06 F 15/31  
H 03 H 17/02S 7056-5B  
K 8837-5J

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 積和演算装置

⑰ 特 願 平1-110522

⑱ 出 願 平1(1989)4月28日

⑲ 発 明 者 畑 中 直 行 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外3名

## 明 細 書

## 1. 発明の名称

積 和 演 算 装 置

## 2. 特許請求の範囲

Nビットで数値表現されたM個の入力信号に  
対し、それぞれ所定の係数を乗じて加え合わせ  
た値を出力する積和演算装置において、

NビットからなるM個の入力信号をそれぞれ  
ビット毎に分割し、対応するビット同士をひと  
まとめにして、新たにMビットからなるN個の  
信号を形成する手段と、

Mビットのアドレスとデータとの関係が、M  
ビットのアドレスに対して各ビットに該ビット  
に対応する所定の係数を乗じ、それらを加え合  
わせた値がデータであるように対応付けられ、  
且つ前記MビットからなるN個の信号がそれぞ  
れアドレス入力端子に供給されるN個のROM  
と、これらN個のROMのデータ端子からの出  
力信号を桁ずらしして加え合わせる手段とを具  
備してなることを特徴とする積和演算装置。

## 3. 発明の詳細な説明

[ 発明の目的 ]

(産業上の利用分野)

本発明は、積和演算装置に係わり、特に半導  
体集積回路で実現するのに適した積和演算装置  
に関する。

(従来の技術)

従来、デジタル信号処理においては、デジタ  
ルフィルタ等に代表されるように、そこで行わ  
れる演算の多くがいわゆる積和演算である。

いま、Nビットで数値表現されたM個の入力  
信号 $X_i$  ( $i = 1, 2, \dots, M$ ) に対して、そ  
れぞれに係数 $h_i$ を乗じ、更にそれらを加え合  
わせた値

$$Y = \sum_{i=1}^M X_i \cdot h_i \quad \dots \textcircled{1}$$

を出力するための積和演算を考える。

このような積和演算を半導体集積回路上の専  
用ハードウェアで実現する場合、その回路方式  
としては、第2図に示す構成が一般的である。

これは、一言で言えば、積和演算をその言葉通りにハードウェアで実現したものである。即ち、 $N$ ビットで数値表現された $M$ 個の入力信号 $X_i$ をそれぞれ、 $N$ ビットのアドレスに対して所定の係数 $h_i$ を乗じた値 $X_i \cdot h_i$ をデータとして出力するテーブルルックアップ方式のROM（読出し専用メモリ）のアドレスに入力し、 $M$ 個のROMからのデータ出力を加算器で加え合わせて①式で表される値 $Y$ を得ようとするものである。

この演算回路方式を半導体集積回路に用いた場合、 $N$ ビットのアドレス、即ち $2^N$ ワードのROMが $M$ 個必要となり、ROMの容量、即ちハードウェア規模が非常に大きくなるという問題がある。例えば、第2図に示される8ビット（ $N=8$ ）で数値表現された5個（ $M=5$ ）の入力信号に対して、係数が8ビット、従って演算精度を十分保つために出力データビット幅が15ビットであるROMを係数乗算テーブルルックアップROMに用いた場合を考える。この

- 3 -

ビットからなる $N$ 個の信号を形成し、次にこれら $N$ 個の信号を $N$ 個のROMのアドレス端子にそれぞれ入力する。ここで、ROMのアドレスとデータとの関係を、 $M$ ビットのアドレスに対して、各ビットに該ビットに対応する所定の係数を乗じ、それらを加え合わせた値がデータであるように対応付けておく。そして、最後に $N$ 個のROMのデータ端子からの出力信号を適宜、析ずらしをして加え合わせ、最終的な積和演算結果を得るというものである。

#### （作用）

本発明によれば、前記第2図とは構成が異なるが、第2図の例と同様の積和演算を行うことができ、しかも第2図に比してハードウェア構成を簡略化することができる。以下に、本発明の回路方式がどのように積和演算を実現しているか、またハードウェア構成（特にROM容量）が簡略化できる理由について説明する。

いま、数値表現が2の補数表現である場合を考える。 $N$ ビットの2の補数表現された $M$ 個の

とき、ROM全体の容量は、ビット数で

$$15 \times 2^8 \times 5 = 19,200 \text{ (ビット)}$$

にも達する。

（発明が解決しようとする課題）

このように従来の積和演算装置では、係数乗算用のテーブルルックアップROMの容量が大きくなり、即ちハードウェア規模が非常に大きくなり、半導体集積回路で実現するのに適さなかった。

本発明は、上記事情を考慮してなされたもので、その目的とするところは、積和演算のためのハードウェア規模を小さくすることができ、半導体集積回路での実現に適した積和演算装置を提供することにある。

〔発明の構成〕

（課題を解決するための手段）

本発明の演算回路方式においては、 $N$ ビットで数値表現された $M$ 個の入力信号に対して、まず $N$ ビットの入力信号をビット毎に分割し、分割した信号を $M$ 個ひとまとめにして、新たに $M$

- 4 -

信号

$$X_i = -x_{i,N-1} \cdot 2^{N-1} + \sum_{j=0}^{N-2} x_{i,j} \cdot 2^j \quad \text{②}$$

（ $i=1, 2, \dots, M$ ）に対して、まず $N$ ビットの信号をビット毎に $N$ 個に分割し、分割した信号を $M$ 個ひとまとめ（対応するビット同士をひとまとめ）にして、新たに $M$ ビットからなる $N$ 個の信号 $x_{1,j}, x_{2,j}, \dots, x_{M,j}$ （ $j=0, 1, \dots, N-1$ ）を形成する。

次に、上記 $N$ 個の信号を $N$ 個のROMのアドレス端子にそれぞれ入力する。ここで、ROMのアドレスとデータとの関係は、 $M$ ビットのアドレスに対して、各ビット $x_{1,j}, x_{2,j}, \dots, x_{M,j}$ に該ビットに対応する所定の係数 $h_1, h_2, \dots, h_M$ を乗じ、それらを加え合わせた値 $\sum_{i=1}^M x_{i,j} \cdot h_i$ がデータであるように対応付けられている。

そして、 $N$ 個のROMのデータ端子からの出力信号 $\sum_{i=1}^M x_{i,j} \cdot h_i$ （ $j=0, 1, \dots, N-1$ ）を加え合わせる。但し、加え合わせた結果の値 $Y$

- 6 -

- 5 -

が、

$$Y = -2^{N-1} \cdot \sum_{i=1}^M x_{i,N-1} \cdot h_i \\ + 2^{N-2} \cdot \sum_{i=1}^M x_{i,N-2} \cdot h_i \\ + \dots + 2^0 \cdot \sum_{i=1}^M x_{i,0} \cdot h_i \quad \dots \textcircled{3}$$

となるように、桁ずらし(③式の $2^i$  ( $i=0, 1, \dots, N-1$ )に対応)をして加え合わせる。③式を変形すれば、

$$Y = \sum_{i=1}^M (-2^{N-1} \cdot x_{i,N-1} \cdot h_i + 2^{N-2} \cdot x_{i,N-2} \cdot h_i \\ + \dots + 2^0 \cdot x_{i,0} \cdot h_i) \\ = \sum_{i=1}^M (-x_{i,N-1} \cdot 2^{N-1} + \sum_{j=0}^{N-2} x_{i,j} \cdot 2^j) \cdot h_i \\ = \sum_{i=1}^M X_i \cdot h_i \quad \dots \textcircled{4}$$

となり、所望の積和演算が実現されていることが判る。

本発明の積和演算方式によれば、Mビットのアドレス、即ち $2^M$ ワードのROMがN個必要となる。前述の例である、8ビットで数値表現された5個の入力信号に対して、係数が8ビッ

- 7 -

の出力信号を加算器51, ..., 57で加え合わせて最終的な積和演算結果を得ている。

なお、8個のROM 21, ..., 28のアドレスとデータとの関係は前述の通りであり、1例を下記第1表に示した。

第 1 表

ア ド レ ス (ビットパターン)	デ ー タ (内 容)
0 0 0 0 0	0
0 0 0 0 1	$h_0$
0 0 0 1 0	$h_1$
0 0 0 1 1	$h_1 + h_0$
0 0 1 0 0	$h_2$
0 0 1 0 1	$h_2 + h_0$
0 0 1 1 0	$h_2 + h_1$
0 0 1 1 1	$h_2 + h_1 + h_0$
⋮	⋮
1 1 1 1 1	$h_4 + h_3 + h_2 + h_1 + h_0$

- 9 -

トの場合、本発明の演算回路方式によるROMの出力データビット幅は高々10ビットでよい。その結果、ROM全体の容量は、ビット数で

$$10 \times 2^5 \times 8 = 2,560$$

となり、従来方式による場合に比べて約7分の1のビット数で済むことになり、ハードウェア規模を大幅に削減できる。

(実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の一実施例に係わる積和演算装置の概略構成を示すブロック図である。この例では、8ビット( $N=8$ )で数値表現された5個( $M=5$ )の入力信号11, ..., 15を各ビット毎に8個に分割し、分割した信号を5個ひとまとめにして、新たに5ビットからなる8個の信号を形成している。該8個の信号を8個のROM 21, ..., 28のアドレス端子31, ..., 38にそれぞれ入力し、該8個のROM 21, ..., 28のデータ端子41, ..., 48から

- 8 -

但し、第1表においては、係数を8ビット( $h_0 \sim h_4$ )とし、ROMのデータ幅は10ビットとした。また、8個のROMからの出力信号は、図に示すような加算器51, ..., 57の接続により、桁ずらしをして加え合わされている。

かくして本実施例によれば、NビットからなるM個の入力信号からMビットからなるN個の信号を形成し、該N個の信号をN個のROMのアドレス端子にそれぞれ入力し、ROMのデータ端子からの出力信号を桁ずらしをして加え合わせるにより、上記入力信号の積和演算を行うことができる。そしてこの場合、ROMの容量が大幅に少なくなり、ハードウェアの簡略化をはかり得る。

なお、本発明は上述した実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

[発明の効果]

以上詳述したように本発明によれば、Nビッ

- 10 -

トからなるM個の入力データに対し、従来より簡易なハードウェア構成で従来と同様の積和演算を行うことができる。従って、積和演算のためのハードウェア規模を小さくすることができ、半導体集積回路での実現に適した積和演算装置を実現することが可能となる。

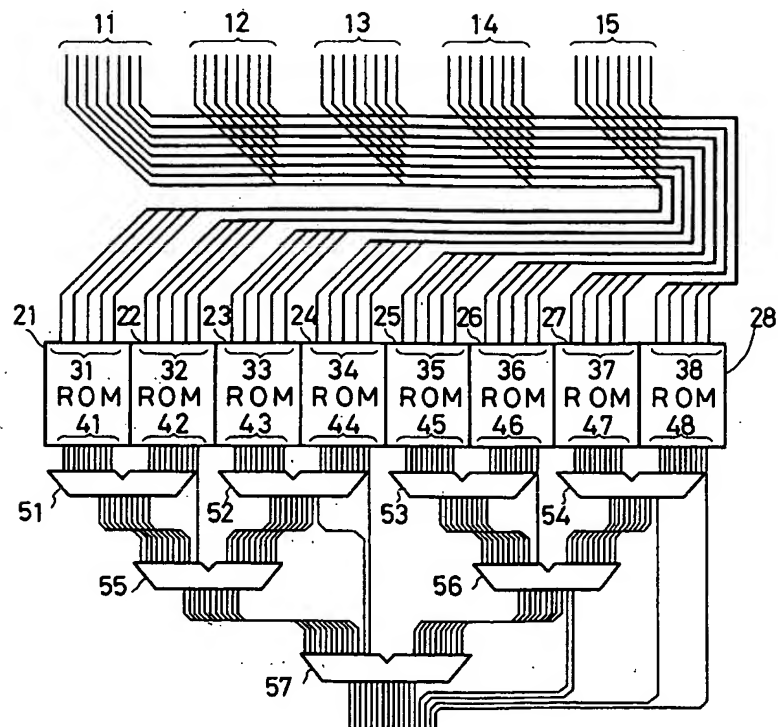
#### 4. 図面の簡単な説明

第1図は本発明の一実施例に係わる積和演算装置の回路構成を示す図、第2図は従来の積和演算装置の回路構成を示す図である。

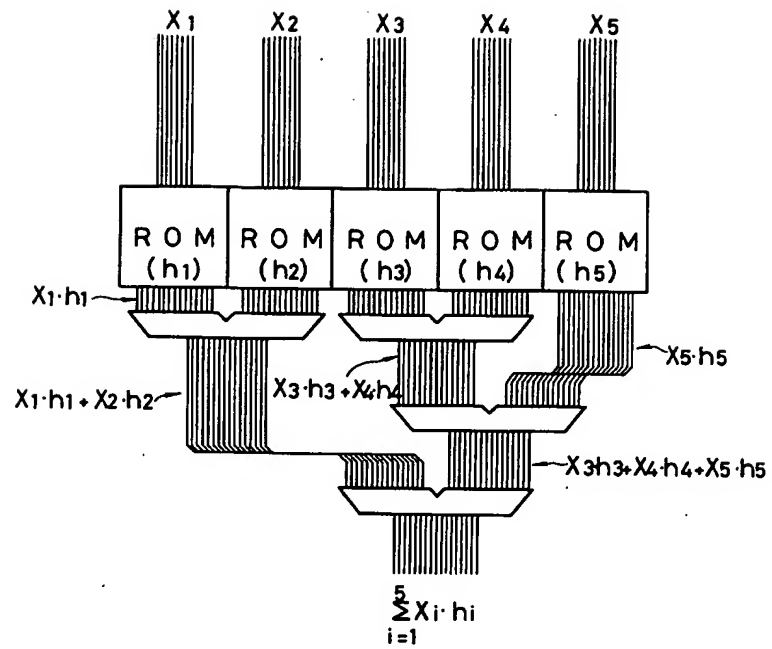
- 11, ~, 15…入力信号、
- 21, ~, 28…ROM、
- 31, ~, 38…アドレス端子、
- 41, ~, 48…データ端子、
- 51, ~, 57…加算器。

出願人代理人 井理士 鈴江 武彦

- 11 -



第1図



第 2 図